

Architettura dei Calcolatori

Prova scritta – 10 settembre 2019 – 1h30

PARTE 1 – RISPOSTA SINGOLA - Ogni domanda ha una sola risposta VERA.

- Una risposta esatta fa acquisire il punteggio positivo riportato a fianco della domanda
 - Una risposta errata fa perdere il punteggio negativo riportato a fianco della domanda
 - Una risposta lasciata in bianco viene valutata 0
1. **(2, -.5)** Si consideri un display a colori con una risoluzione di 1024x1024 pixel, e che rappresenta ogni pixel con 8 bit per ciascun colore primario (rosso, verde, blu). Quale dimensione minima in MBytes deve avere un frame buffer per poter memorizzare una immagine a pieno schermo?
 - a) 0,375
 - b) 1
 - c) 3
 - d) Nessuna delle precedenti
 2. **(2, -.5)** I registri x5 e x6 di un processore RISC-V contengano i valori 0x8000 0000 0000 0000 e 0xD000 0000 0000 0000, rispettivamente. Quale affermazione è corretta?
 - a) Non c'è overflow se si esegue l'istruzione add x30, x5, x6
 - b) Non c'è overflow se si esegue l'istruzione sub x30, x6, x5
 - c) Non c'è overflow se si esegue l'istruzione sub x30, x5, x6
 - d) Nessuna delle precedenti
 3. **(2, -.5)** Si assuma che gli stadi individuali del datapath di una CPU RISC-V abbiano le seguenti latenze: IF=250ps; ID=350ps; EX=150ps; MEM=300ps; WB=200ps. Qual è il tempo di un ciclo di clock per una CPU pipelined e per una non pipelined?
 - a) 350ps per la CPU pipelined e 1250ps per la CPU non pipelined
 - b) 150ps per la CPU pipelined e 1250ps per la CPU non pipelined
 - c) 350ps per la CPU pipelined e per la CPU non pipelined
 - d) Nessuna delle precedenti
 4. **(2, -.5)** Il rapporto tipico della latenza di lettura di un dato da una cache di primo livello rispetto alla lettura da RAM è
 - a) 1 a 1 (ovvero, la latenza è la stessa)
 - b) 1 a 10 (ovvero, la RAM è dieci volte più lenta della cache L1)
 - c) 1 a 100
 - d) 1 a 10000

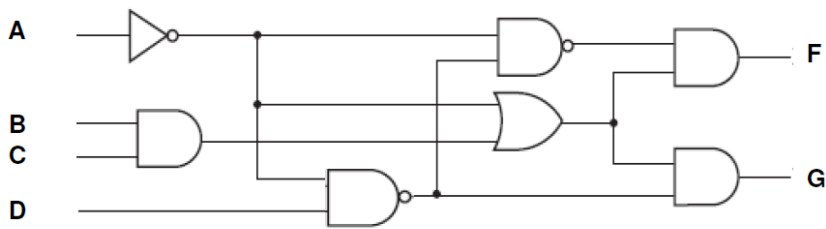
PARTE 2 – (POSSIBILI) RISPOSTE MULTIPLE -
Ogni domanda può avere da una a quattro risposte CORRETTE.

- Ogni risposta esatta viene calcolata: +1
 - Ogni risposta errata viene calcolata: -0.5
 - Una risposta lasciata in bianco viene calcolata: 0
5. Si considerino tre processori P1, P2 e P3, caratterizzati dallo stesso *instruction set*, ma con frequenze e CPI diversi, e precisamente:
P1: freq = 3,0GHz, CPI = 1,5.
P2: freq = 2,5GHz, CPI = 1,0.
P3: freq = 4,0GHz, CPI = 2,2.
Quali affermazioni sulla performance (istruzioni al secondo) sono corrette?
- a) *Il processore P1 ha la performance peggiore, con 2 miliardi di istruzioni al secondo*
 - b) *Il processore P2 ha la performance migliore, con 2,5 miliardi di istruzioni al secondo*
 - c) *Il processore P3 ha la performance peggiore, con 1,8 miliardi di istruzioni al secondo*
 - d) *Nessuna delle precedenti*
6. Il numero ABCDEF in esadecimale:
- a) Vale 101112131415 in decimale
 - b) Vale 101010111100110111101111 in binario
 - c) Vale 52746757 in ottale
 - d) Nessuna delle precedenti
7. Un gruppo di studenti discute dell'efficienza di una pipeline a 5 stadi, quando uno di loro fa presente che non tutte le istruzioni usano tutti gli stadi della pipeline. Dopo aver deciso di ignorare gli effetti degli hazard, gli studenti traggono le seguenti conclusioni. Quali sono corrette?
- a) *Consentire alle istruzioni di tipo **ALU** e **branch** di usare meno stadi dei cinque richiesti dalla **load** migliorerebbe la performance della pipeline in tutte le circostanze.*
 - b) *Ridurre il numero di cicli per alcune istruzioni non migliora in generale la performance della CPU, dato che il suo throughput è determinato dal periodo di clock, e il numero di stadi di pipeline per istruzione impatta solo la latenza (non il throughput).*
 - c) *Non è possibile in generale far sì che alcune istruzioni impieghino meno cicli.*
 - d) *Una pipeline più lunga migliorerebbe la performance, perché le istruzioni richiederebbero più cicli per eseguire, ma i cicli sarebbero più corti, e quindi il throughput maggiore.*
8. In caso di cache miss
- a) Mentre il dato viene recuperato dai successivi livelli di memoria, il processore può procedere ad eseguire l'istruzione seguente.
 - b) Potrebbe essere necessario creare spazio nella cache per il nuovo dato, andando prima a realizzare il write-back di un dato presente in cache.
 - c) Occorre andare a cercare il dato su hard disk.
 - d) La pipeline del processore va in stallo, a meno che siano presenti meccanismi di esecuzione out-of-order.

PARTE 3 – DOMANDE APERTE

- Una risposta esatta fa acquisire il punteggio positivo riportato a fianco della domanda
- Una risposta errata può eventualmente causare una penalità che dipende dalla gravità dell'errore
- Una risposta lasciata in bianco viene calcolata: 0
- SI RICORDA CHE L'UNICO FOGLIO DA CONSEGNARE E' IN CALCE AL COMPITO. QUESTO FOGLIO, PUO' SERVIRE ESCLUSIVAMENTE COME "BRUTTA COPIA". EVENTUALI RISPOSTE SCRITTE IN QUESTO FOGLIO NON VERRANNO PRESE IN CONSIDERAZIONE

9. (6 pt) Analizzare il circuito seguente. Determinare le espressioni booleane per le uscite F e G in funzione degli ingressi A, B, C, D.



Se possibile, si minimizzino le espressioni ricavate tramite metodologia di Karnaugh

10. (6 pt) Si assuma che $x11$ contenga 11 e $x12$ contenga 22. Supponendo di eseguire il codice sottostante su una versione della pipeline a cinque stadi RISC-V che non gestisce i data hazards (il programmatore deve gestirli esplicitamente inserendo delle NOP), si dica che valore hanno alla fine i registri $x13$, $x14$ e $x15$. Se questi valori sono diversi da quelli attesi, si mostri come occorre modificare il codice per ottenere i risultati corretti. Si assuma che il *register file* sia scritto durante la prima metà di un ciclo e letto durante la seconda metà (quindi ciò che viene scritto nello stadio WB a un dato ciclo è visibile nello stesso ciclo nello stadio ID)

```
addi x11, x12, 5
add  x13, x11, x12
addi x14, x11, 15
add  x15, x11, x11
```

11. (5 pt) Quale espressione C corrisponde alle seguenti istruzioni RISC-V? Si assuma che le variabili f, g, h, i, j siano assegnate ai registri $x5, x6, x7, x28, x29$, rispettivamente, che A e B siano array di **double** (8 bytes), e che il loro indirizzo base sia nei registri $x10$ e $x11$.

```
slli x30, x5, 3
add  x30, x10, x30
slli x31, x6, 3
add  x31, x11, x31
ld   x5, 0(x30)
addi x12, x30, 8
ld   x30, 0(x12)
add  x30, x30, x5
sd   x30, 0(x31)
```

Architettura dei Calcolatori

Prova scritta – 10 settembre 2019 – 1h30

Nome: _____ Cognome: _____

Matricola: _____

Indicare le risposte corrette apponendo una croce nella casella corrispondente. Per superare la prova bisogna aver raggiunto almeno 9 punti nelle domande a risposta singola/multipla, ed almeno 15 complessivamente. Questa pagina e la successiva sono una copia di quelle da consegnare, utile per tenere traccia delle risposte da voi date e calcolare il voto ottenuto durante la correzione.

	Risposte				Punti/ Penalità	
	A	B	C	D		
1					2	-0.5
2					2	-0.5
3					2	-0.5
4					2	-0.5
5						
6						
7						
8						

Risposta alla domanda 9 (6 pt):

Risposta alla domanda 10 (6 pt):

Risposta alla domanda 11 (5 pt):

Architettura dei Calcolatori

Prova scritta – 10 settembre 2019 – 1h30

Nome: _____ Cognome: _____

Matricola: _____

Indicare le risposte corrette apponendo una croce nella casella corrispondente. Per superare la prova bisogna aver raggiunto almeno 9 punti nelle domande a risposta singola/multipla, ed almeno 15 complessivamente. Questa pagina e la successiva sono le uniche pagine che dovete consegnare. Per comodità avete anche una copia di questa pagina per calcolare il voto da voi ottenuto durante la correzione.

	Risposte				Punti/ Penalità	
	A	B	C	D		
1					2	-0.5
2					2	-0.5
3					2	-0.5
4					2	-0.5
5						
6						
7						
8						

Risposta alla domanda 9 (6 pt):

Risposta alla domanda 10 (6 pt):

Risposta alla domanda 11 (5 pt):